



硬件评审指南



文档密级：NDA 公开

Version 1.0 2021.02.03

声明

本手册由聆思科技版权所有，未经许可，任何单位和个人都不得以电子的、机械的、磁性的、光学的、化学的、手工的等形式复制、传播、转录和保存该出版物，或翻译成其它语言版本。一经发现，将追究其法律责任。

聆思科技保证本手册提供信息的准确性和可靠性。聆思科技保留更改本手册的权利，如有修改，恕不相告。请在订购时联系我们以获得产品最新信息。

对任何用户使用我们产品时侵犯第三方版权或其它权利的行为聆思科技概不负责。另外，在聆思科技未明确表示产品有该项用途时，对于产品使用在极端条件下导致一些失灵或损毁而造成的损失概不负责。

变更记录

版本	变更内容	变更人	审核人	日期
1.0	初稿	汪远心	李逸卿	2021-02-03
1.1	更新流程表	汪远心	王朋	2021-03-03

目录

声明.....	1
变更记录	2
1.概述	5
2. 结构设计评审指南	6
2.1 结构评审流程	6
2.2 结构资料提供要求	6
2.3 结构自检内容	6
2.3.1 MIC 孔径、MIC 间距	6
2.3.2 MIC 密封、防震	7
2.3.3 喇叭	7
2.3.4 噪声检测	7
2.3.5 喇叭与 MIC 位置	7
3.硬件原理评审指南	8
3.1 原理评审流程	8
3.2 原理评审资料提供要求	8
3.2.1 提交原理图需要有具体产品需求说明	8
3.2.2 原理图需要列出方框图	8
3.2.3 整体产品设计介绍	8
3.2.4 需要告知下项目阶段和目标预期	9

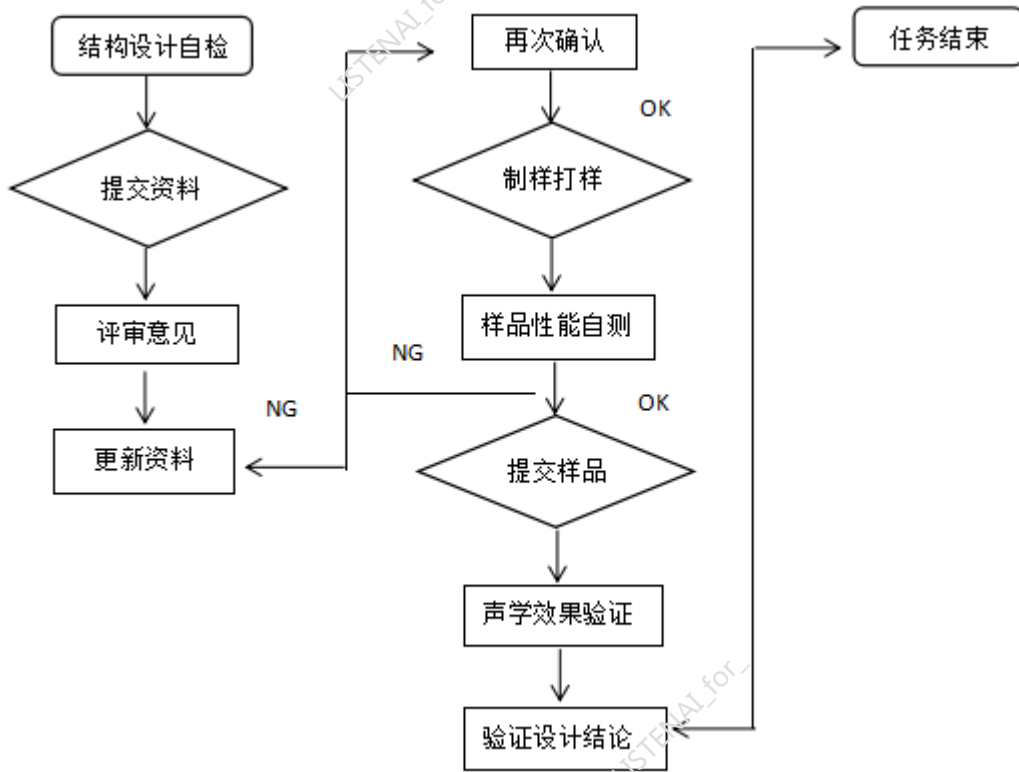
3.3 原理自检内容	9
3.3.1 原理设计规则和基本检查方面	9
3.3.2 离线原理重点自检内容	9
3.3.3 离在线模块重点自检内容	11
4.硬件 PCB 评审指南	13
4.1 PCB 评审流程	13
4.2 PCB 提供资料要求	13
4.3 PCB 重点自检内容	13
4.3.1 PCB 规则和基本检查	13
4.3.2 PCB 常见问题排查	14
4.3.3 导 GERBER	15
五. 后期调试验证	16
5.1 PCBA 基本功能验证	16
5.2 样品提交协助调试说明	16
5.3 原理和 PCB 文档更新要求	16
六. 总结	17

1.概述

在以往评审过程中存在相应问题，如资料缺失、需求不明确、采用物料在参考设计中没有的，未事先沟通，带来调试验证风险；设计的原理和 PCB 资料事先没有自检，存在基础问题错误，如单网络、重命名网络、未连接网络、安全间距问题；送样协助调试验证的样品，物料配备不齐，事先未有基本功能验证等等。这样导致在双方配合上效率不高，来回沟通，同时评审对于越复杂的电路，越难做到面面俱到，需要大量时间和精力，这就需要客户能通过自检排除掉相应的基础性问题，规避风险。为达成客户设计有效、快速落地，同时兼顾到一次设计的正确性、完整性、可生产性，给后续批量打下坚实的基础，降低客户处设计硬件投入损耗成本，拟出硬件评审指南文件来做引导和约束及双方责任协同。

2. 结构设计评审指南

2.1 结构评审流程



2.2 结构资料提供要求

1. 结构文件格式 STP 格式，单位公制 mm，与实物等距离；
2. 在 3D 结构中，需要有模组板位置、喇叭位置、MIC 位置、及对应的实物形态；
3. 在 3D 结构中，需要标注结构件内部噪声源，有条件说明噪声测试分贝更佳；
4. 对应模组、喇叭、MIC 需要说明固定方式，排线走线固定方式，结构资料有的无法确认，需要进行说明。

2.3 结构自检内容

2.3.1 MIC 孔径、MIC 间距

具体参考对外的声学资料，基本要求：孔径 $\geq 1.5\text{mm}$ 、径深比 $\geq 1/2$ ，两 MIC 间距优选 110mm。

2.3.2 MIC 密封、防震

具体参考对外的声学资料，驻极体 MIC 基本要求：硅胶套减振，尾部灌胶密封。

2.3.3 喇叭

具体参考对外的声学资料，一般要求独立腔体设计，嵌入产品结构密封，与结构件接触表面需贴 PE 软泡棉，减少喇叭与壳件之间的振动干扰

2.3.4 噪声检测

一般要求，采用分贝仪检测目标噪声，放置 MIC 的位置的噪声最高需要在 60db 以下，且噪声源越低影响越小。如自检噪声离 MIC 很近，且噪声大，需进行更换位置，寻找噪声源干扰小的地方

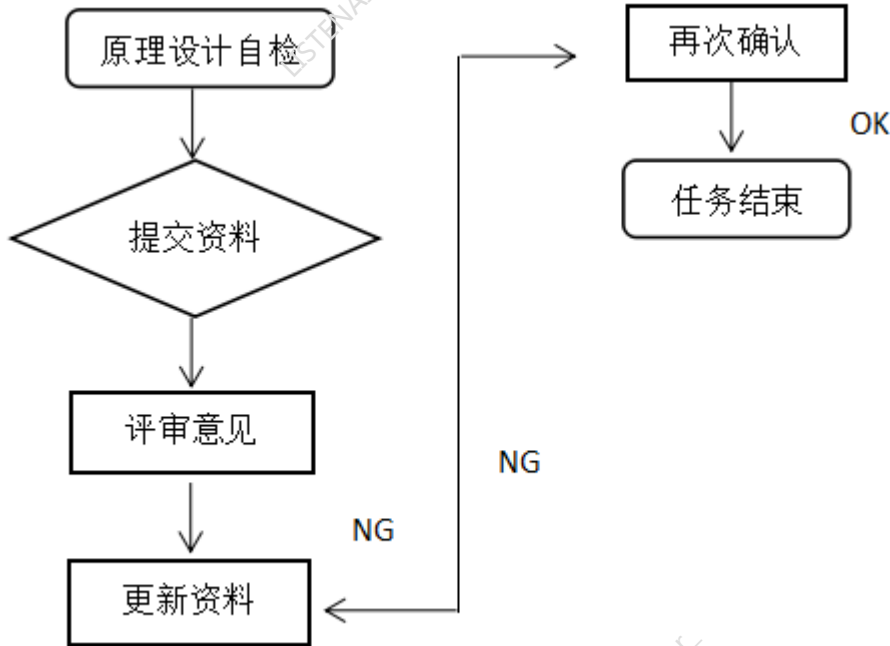
2.3.5 喇叭与 MIC 位置

喇叭与 MIC 位置过近，容易产生自激现象，同时会影响回声消除效果，一般要求保持 25cm 以上，喇叭功率越大，位置保持越远，具体参考对外的声学资料。

备注：噪声和喇叭干扰，后期需要通过板实际录音来做分析判定

3. 硬件原理评审指南

3.1 原理评审流程



3.2 原理评审资料提供要求

3.2.1 提交原理图需要有具体产品需求说明

- 离线模块说明：单麦、双麦、是否需要回声消除功能、使用场景等；
- 在线模块需要说明：单麦、双麦、回声消除、是否需要 OTA 等。

3.2.2 原理图需要列出方框图

针对管脚使用说明逻辑和相应用法目的，方便软件同事评估，否则需要来回询问

3.2.3 整体产品设计介绍

涉及具体到产品的，需要给出整体产品设计介绍。当提供的原理图是部分原理图时，配合的底板和

外接件需要做出详细说明以免评估遗漏，许可情况下尽量提供完整的原理

3.2.4 需要告知下项目阶段和目标预期

3.3 原理自检内容

3.3.1 原理设计规则和基本检查方面

1. 需要进行原理图 DRC 检测，当前主流的三大设计软件 PADS、AD、ALLEGRO 在设计上都有对应的检测机制，在提交原理图前务必要需要进行规则检查，排除掉基本的问题点：如空网络、单网络、链接符缺失等。
2. 原理图布版尽量层次分明，添加必要的文字说明，方便查看。
3. 设计需要考虑生产和测试，在原理设计时就要考虑到 CSK 烧录问题、生产调试方面添加相应的测试点、同时接口都需要预留 ESD、电源 PIN 需要考虑预留防浪涌管。EMC 测试项涉及到整机传导优选功放后端接 LC 滤波兼容磁珠形式
4. 设计需要确认清楚拿到的参考设计是最新版本的对外参考，可以向项目确认，以免参考旧版本原理带来设计上的遗漏。

3.3.2 离线原理重点自检内容

3.3.2.1 常用 PIN 脚使用方式

序号	CSK PIN		功能说明
1	4 脚	5 脚	USB 烧录和录音用
2	55 脚	56 脚	串口 1 和上位机通信

3	61 脚	62 脚	串口 0, 同时 61 脚作 LOAD 烧录
4	60 脚	19 脚	串口 2, DEBUG 口, 打印日志. 同时 19 脚作拉低进入测试模式用
5	49 脚	50 脚	CLASSSSDO 音频输出
6	46 脚	47 脚	仿真调试口, 很少用到
7	29 脚	30 脚	IIC 通信口
8	33 脚, 34 脚, 37 脚		IIS FCLK, BCLK, MCLK
9	35 脚	36 脚	IIS OUT, IIS IN
10	31 脚	32 脚	IIC1 复用 IIS IN1 和 OUT1
11	64 脚		RESET 复用 EFUSE

3.3.2.2 原理设计概要

针对模块类:

64 脚 RESET 脚, 一般接 10K 电阻和 4.7uF 电容对地 4 脚和 5 脚设计方式:

1. 如作 DEMO 演示用, 建议加上电源地接 micro usb 座形式, 方便烧录和录音;
2. 如为后续生产使用, 可加电源, 地, LOAD 做成孔状, 用夹子探针烧录使用, 节省 USB 座成本, 或者预留成测试点用工装探针烧录。

61 脚设计方式:

如为 DEMO 演示用, 可接轻触按键对地使用, 生产需要留成孔或者测试点。

备注: 以上留成孔需要配合合适的探针, 以免穿孔接触不良。

针对结构产品类:

一般会接出 MICRO USB 座, 将电源、地、4 脚 DP、5 脚 DM、接到 USB 座, 另外注意将 CSK 61 脚 LOAD 脚接到 USB 座 ID 脚第四脚, 当装上外壳后, 可通过 USB 来升级程序, 以免需要拆机。

3.3.3 离在线模块重点自检内容

3.3.3.1 常用 PIN 脚使用方式

序号	CSK PIN		功能说明
1	4 脚	5 脚	USB 烧录和串口 2 与上位机串口通信，用以实现 OTA 功能
2	55 脚	56 脚	串口 1 DEBUG 口
3	61 脚	62 脚	串口 0，同时 61 脚作 LOAD 烧录
4	60 脚		打印系统日志
5	49 脚	50 脚	CLASSSD0 音频输出
6	46 脚	47 脚	仿真调试口，很少用到
7	29 脚	30 脚	IIC 通信口
8	33 脚，34 脚，37 脚		IIS FCLK, BCLK, MCLK
9	35 脚	36 脚	IIS OUT, IIS IN
10	31 脚	32 脚	IIC1 复用 IIS IN1 和 OUT1
11	64 脚		RESET 复用 EFUSE

3.3.3.2 原理设计概要

因为 4 脚和 5 脚作为串口 2 和上位机通信，注意点：

1. 实现 OTA 功能

给 CSK 的 POWER_EN PMOS 需要接到上位机 IO，OTA 时拉高再拉低复位

CSK 61 脚 PB16 需要接到上位机 IO 口，在 OTA 时需要拉低 CSK 4 脚和 5 脚接到上位机通信串口

2. 实现 CSK 手动烧录

方式一：

将 POWER_EN、61 脚 LOAD 脚、上位机复位脚通过一个双二极管和一颗二级管接到地端，烧录时这三

个脚需要同时拉低,不得中断,直至烧录成功。目的是将上位机串口释放,以免影响 CSK 烧录口

方式二:

将 POWER_EN、61 脚 LOAD 脚、上位机复位脚预留成测试点形式,节省成本,在调试时需要飞线或工装探针。

备注: POWER_EN 脚是 PMOS 开关控制脚,拉低可打开给到 CSK 供电,在上位机 IO 口没调通前,需要硬件方式拉低。

3.3 防止踩坑篇

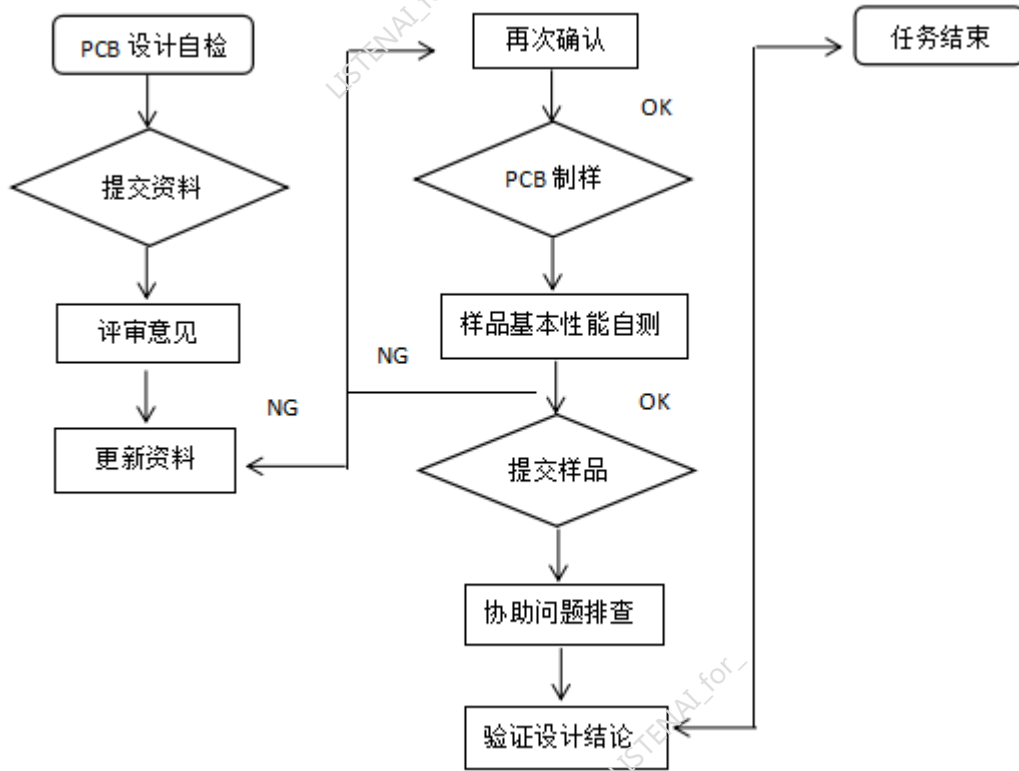
开发涉及	注意事项
efuse	efuse的烧写,需要先在内部把reset引脚断开
时钟	timer时钟是主系统时钟的4分频
定时器	rtos的占用PIT0的channel0
引脚	PB口不支持GPIO高低电平的检测,请不要用来做按键。
	PIN 49/50 (PB5/PB6) 用来接喇叭,且只有它能接喇叭,所以通常不会用来做别的用途。
	下面6个引脚无法使用(包含软件研发和硬件研发),芯片内部使用。 * PIN6、PIN7、PIN8、PIN39、PIN40、PIN41
	PIN 12 (PA4) 的 PWM 功能不可用
	约定使用 PIN 12 (PA4) 作为唤醒电平输出 (WAKEUP)、PIN 14 (PA6) 作为功放使能输出 (PA_EN),通常不会将这两个脚改成其它用途
	对于每一个可自由配置的 PIN,都可以将它配置为 MUX0 ~ MUX4 中的任一功能,但反过来,一个功能只能由一个 PIN 实现(互斥,比如不可以同时把两个 PIN 都配置为 TXD2)
	通常还需要一对 TXD/RXD 作为协议串口;但由于串口烧录固定了通过 PIN 4/5 (USBDP/USBDM) 进行,所以针对离在线方案,通常会接到上位机串口做固件 OTA,同时将它配置为协议串口使用(这样就无法使用 USB 录制调试用的音频)
对于模拟麦克风,通常需要分配一组 I2C 和 I2S 给 ADC 芯片使用	
PWM	每个PWM最多支持4个channel, PWM0支持channel0-channel3, PWM1支持channel4, channel5。
	在驱动里面, pwm的channel4和channel5,调用驱动的时候,需要选择PWM1,同时channel分别选择0和1。
	PWM0的channel0已被占用,无法使用。

备注: 特别注意 CSK 有 6 个 NC 脚 6, 7, 8, 39, 40, 41

说明: 离线和离在线原理设计最大差别在于, 离线设计使用串口 1 做上位机通信, CSK4 脚和 5 脚只做 USB 烧录和录音用; 离在线设计复用 CSK4 脚和 5 脚做与上位机通信, OTA 时只能用这个口, 所以客户在有 OTA 功能时, 需要接 4 脚和 5 脚, 这个时候串口 1 用来做 DEBUG 口。

4.硬件 PCB 评审指南

4.1 PCB 评审流程



说明：PCBA 硬件功能调试方面由客户自行调试，可参考提供的资料，如确实遇到无法解决的硬件问题，可提供样品到聆思硬件同事同步协助排查

4.2 PCB 提供资料要求

1. 如采用 PADS，需要麻烦转下低版本 PADS9.5 ASC 文件，AD 和 ALLEGRO 没有要求
2. PCB 需要是完整设计，地孔有做覆铜

4.3 PCB 重点自检内容

4.3.1 PCB 规则和基本检查

1. PCB 连接性和安全间距检查，这个在三大软件工具中都有检测机制，提交资料前请务必检测通过。
2. PCB 画完后，为防止在设计过程中误操作或者设计中有更新需要将完成的 PCB 和最新的原理图进

行对比检测，在软件工具中实现，这一步骤关键，请务必执行

备注：以上两点在以往客户评审支持中，有不少类似现象，特别是 PCB 和原理图不对应问题，给排查和客户投板带来风险。

3. PCB PIN 脚在邮票孔方式时，尽量保持不对称设计，针对生产可以防呆，同时标注各 PIN 脚、测试点丝印和 PCB 版本型号日期丝印，PIN 脚 1 需要用三脚丝印标注，MIC 和喇叭标注+-丝印，方便查看。
4. PCB 设计封装需要建议核对两次，设计前和完成出资料时，但至少需要核对一次，对应规格书一一核对：封装尺寸大小是否正确，PIN 脚和 PIN 序是否正确，封装外框丝印确定是否正确.....
以免因封装问题导致整个 PCB 需要重复制样

4.3.2 PCB 常见问题排查

PCB 布局

1. ADC 模拟敏感器件尽量放置在角落，MIC 连接最近位置，最好没有过孔，以免引入模拟信号干扰。
2. 电源干扰源同样优先放置角落，分配到各个器件的电源回路做到尽可能短。
3. CSK 芯片电源 PIN，需要对应放置耦合电容，靠近 PIN 脚摆放，电感 TOP 面做下禁布。
4. PCB 是原理的实现，同时又是还原，在具体器件摆布上需要在连接中层次分明，方便调试时查找电路。
5. WIFI 或者蓝牙天线出线区保持在板边，节省板面积，同时避免周围器件的干扰，同时兼容 IPEX 座子设计，防止需要。

走线

1. CSK 3V3 和 1V1 走线最低需要 20mil 以上，ADC 低耗电电源在 12mil 即可，信号线 6mil。
2. 如果直接 CSK 输出音频接喇叭，走线 12mil 以上，接外置功放可以 8mil。
3. MIC 模拟信号输入需要走差分同时包地，IIS CLK 需要包地，喇叭走线需要对称包地处理。
4. USB 线需要走差分线，并进行包地处理。
6. 走线过程需要考虑对地平面的影响，主要体现在两层板上，尽可能少对地进行分割，保障地的完整性。

过孔

1. 板面积允许情况下，过孔优先推荐 0503 的过孔，可节省成本和降低相应产生叉板的报废率。对

于密度高的板需要考虑 0402 的过孔

2. 采用 0503 的孔，在 CSK 电源 PIN 脚 3V3 和 1V1 进端可采用一个过孔满足要求，按照标准过孔铜厚，在 DCDC 出端最低需要两个过孔
3. 采用 0402 的孔，在 CSK 电源 PIN 脚 3V3 和 1V1 进端建议采用两个过孔满足要求，按照标准过孔铜厚，在 DCDC 出端最低需要三个过孔
4. 针对板子覆铜，两层板，因为地一般会分割的比较厉害，而且两层板导热快，所以在覆地铜的时候一般是需要采用过孔覆盖方式，改善地的完整性；针对四层板，一般同样采用过孔覆盖方式，如有散热快的局部可考虑十字花盘，整体是仍采用过孔覆盖方式。

4.3.3 导 GERBER

1. GERBER 导出后一定要逐层查看确认，查看是否有元件错位、丢失等异常现象。
2. 确认丝印框是否有交叉，参考编号丝印是否有叠加，需要做对应调整，保证丝印清晰不残缺。
3. 在 PCB 更新过程中，GERBER 也会有对于更新，在导出的 GERBER 中，需要进行下确认，保持好的习惯，同时和上一次一起在 CAM350 工具中做对比，确认是否只是自己更改的，以免 GERBER 有误发出去制版，导致做 PCB 报废。

五. 后期调试验证

5.1 PCBA 基本功能验证

1. 在样品板回板后，确认电源供电是否都正常
2. 手工给 CSK 烧录程序验证，接出串口日志，判断 CSK 是否在运行
3. 程序烧录完成后上电确认是否可以正常唤醒识别和喇叭有播报，如果没有需要排查硬件电路，唤醒识别需要排查 IO 口的配置是否正确，音频整个通道是否正常
4. 功能正常后录制音频，分析频谱。方法：取掉 MIC 录音，查看硬件板电流声底噪是否满足要求；录制 1KHZ 定频，确认 MIC 通道同步性；录制扫频信号，确认是否有丢音情况
5. 功放电路调试，常见 POPO 音和底噪、喇叭播报破音现象，POPO 音问题尽量选用对外参考的功放，有经过验证，如用新料优选有抑制 POPO 音的功放，同时电路中可以适当调低 CI 输入值来改善；底噪问题硬件上如从 CSK 后端输出，需要加二阶 RC 滤波电路，同时保证电源干净，纹波在 100mV 以内，同样优选参考中已有的功放型号；破音问题主要需要调节功放的放大倍数合理。

5.2 样品提交协助调试说明

要求：

1. 样品板务必要保证基本功能 OK
2. 样品板务必要接线完整，MIC 和喇叭物料配备齐全
3. 需要说清楚要解决的问题点，并可以复现

说明：以往有带来样品板，只有一块 PCBA 形态，在焊线，找料上需要花费很多精力和时间，同时样品基本功能没有验证，需要从头调起确认。

5.3 原理和 PCB 文档更新要求

1. 针对调试中遇到的硬件问题需要记录及时更新
2. 在原理和 PCB 设计上记录版本更新

六. 总结

1. 硬件设计是一个严谨的过程，需要循序渐进，同样给硬件的评审需要预留充分的时间，保障一次设计的通过率。
2. 硬件评审是需要一个双方配合的过程，养成自检的好习惯。
3. 硬件设计需要有一定的自主创造性，在结合参考设计的基础上做出适合自己产品需求的最佳设计，限于成本和可维护性。

备注：客户 Checklist 内容同时可以在对外资料包里面查看。